

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
KIYA et al. )  
Application Number: To be Assigned )  
Filed: Concurrently Herewith )  
For: DISPLAY DEVICE AND MANUFACTURING METHOD )  
OF THE SAME )  
ATTORNEY DOCKET NO. HITA.0514 )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of March 14, 2003, the filing date of the corresponding Japanese Patent Application No. 2003-069626.

A certified copy of Japanese Patent Application No. 2003-069626 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher  
Registration Number 24,344

  
Juan Carlos A. Marquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
February 13, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    3 月 1 4 日  
Date of Application:

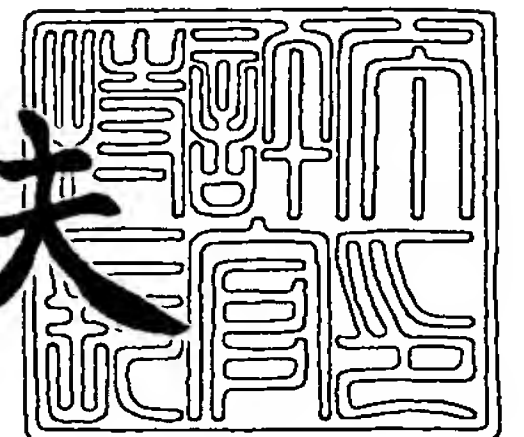
出 願 番 号            特 願 2 0 0 3 - 0 6 9 6 2 6  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 6 9 6 2 6 ]

出 願 人            株式会社    日立ディスプレイズ  
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200302

【提出日】 平成15年 3月14日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立ディスプレイズ内

【氏名】 木谷 良幸

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立ディスプレイズ内

【氏名】 渡辺 邦彦

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立ディスプレイズ内

【氏名】 堀井 寿一

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社 日立ディスプレイズ内

【氏名】 高野 隆男

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社 日立ディスプレイズ

【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

## 【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置とその製造方法

【特許請求の範囲】

【請求項 1】

基板上に絶縁膜、半導体膜、導電膜を含む複数の膜が所定のパターンにパターン化して積層された表示領域を有する表示装置であって、

前記パターンの短絡欠陥を分離する修正箇所、開放欠陥を接続する修正箇所、はみ出し欠陥を除去する修正箇所、はみ出し欠陥を分離する修正箇所のうちの少なくとも 1 つ以上の修正箇所の修正を行うパターン修正時点において、前記修正箇所には当該修正される前記膜より上層に少なくとも 1 層の上層膜が存在し、前記上層膜を残して前記修正が施されていることを特徴とする表示装置。

【請求項 2】

前記修正箇所がレーザ光の照射で前記修正が施されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記修正箇所が、前記レーザ光を前記基板と反対側から照射することで前記修正が施されていることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

同一の場所に照射される前記レーザ光が、複数回に分割して照射されていることを特徴とする請求項 2 または 3 に記載の表示装置。

【請求項 5】

前記上層膜が絶縁膜または透明導電膜の少なくとも一方を含むことを特徴とする請求項 1 乃至 4 に何れかに記載の表示装置。

【請求項 6】

前記修正箇所の前記修正により前記表示領域の表示が正常に行えることを特徴とする請求項 1 乃至 5 に何れかに記載の表示装置。

【請求項 7】

基板上に絶縁膜、半導体膜、導電膜を含む複数の膜を積層する成膜工程と、  
前記成膜された膜に生じた短絡欠陥を分離する短絡欠陥箇所分離修正、開放欠

陥の接続を行う開放欠陥箇所接続修正、はみ出し欠陥の除去を行うはみ出し欠陥箇所除去修正、はみ出し欠陥の分離を行うはみ出し欠陥箇所分離修正のうちの少なくとも 1 つ以上の欠陥箇所の修正を行う欠陥箇所修正工程と、  
を有する表示装置の製造方法であって、

前記欠陥箇所修正工程の修正時点において、修正箇所には当該修正される膜より上層に少なくとも 1 層の上層膜が存在し、前記上層膜を残したまま前記修正を施すことを特徴とする表示装置の製造方法。

【請求項 8】

前記修正をレーザ光の照射で行うことを特徴とする請求項 7 に記載の表示装置の製造方法。

【請求項 9】

前記レーザ光を前記基板と反対側から照射することを特徴とする請求項 8 に記載の表示装置の製造方法。

【請求項 1 0】

同一の場所に前記レーザ光を複数回に分割して照射することを特徴とする請求項 8 または 9 に記載の表示装置の製造方法。

【請求項 1 1】

前記同一の場所に前記レーザ光を少なくとも 1 0 回以上に分割して照射することを特徴とする請求項 1 0 に記載の表示装置の製造方法。

【請求項 1 2】

前記レーザ光の照射間隔を 0. 3 秒以上あけることを特徴とする請求項 1 0 または 1 1 に記載の表示装置の製造方法。

【請求項 1 3】

前記レーザ光の波長は、前記上層膜よりも前記修正される膜の方で吸収され易い波長であることを特徴とする請求項 8 乃至 1 2 の何れかに記載の表示装置の製造方法。

【請求項 1 4】

前記レーザ光の波長は、修正すべき膜がアモルファスシリコン半導体膜の場合には 2 5 0 n m 乃至 3 6 0 n m であることを特徴とする請求項 8 乃至 1 2 の何れか

に記載の表示装置の製造方法。

【請求項 1 5】

前記レーザ光の出力は  $0.02 \text{ W/cm}^2$  以下であることを特徴とする請求項 8 乃至 1 4 の何れかに記載の表示装置の製造方法。

【請求項 1 6】

同一の場所に照射するレーザ光を少なくとも 1 0 回以上に分割して照射することを特徴とする請求項 1 5 に記載の表示装置の製造方法。

【請求項 1 7】

前記上層膜は、絶縁膜または透明導電膜の少なくとも一方を含むことを特徴とする請求項 7 乃至 1 6 の何れかに記載の表示装置の製造方法。

【請求項 1 8】

前記半導体膜が非晶質半導体膜であり、前記非晶質半導体膜を分離修正または除去修正することを特徴とする請求項 7 乃至 1 7 の何れかに記載の表示装置の製造方法。

【請求項 1 9】

前記半導体膜が、その上層にソース電極とドレイン電極を有する薄膜トランジスタの活性層を構成し、当該半導体膜は真性半導体膜と、その上層に形成されたコンタクト膜とを有し、前記コンタクト膜を介して前記ソース電極と前記ドレイン電極とが短絡した欠陥に対して、

前記ソース電極と前記ドレイン電極との間に存在する前記コンタクト膜を前記真性半導体膜の一部と共に除去することで分離修正を行うことを特徴とする請求項 7 乃至 1 8 の何れかに記載の表示装置の製造方法。

【請求項 2 0】

前記導電膜は走査信号線、映像信号線、画素電極の少なくとも一つであり、前記分離修正が前記走査信号線の間の短絡欠陥、前記映像信号線の間の短絡欠陥、前記画素電極の間の短絡欠陥のうち少なくとも 1 つの修正であることを特徴とする請求項 7 乃至 1 9 の何れかに記載の表示装置の製造方法。

【請求項 2 1】

前記画素電極が透明導電膜であることを特徴とする請求項 2 0 に記載の表示装



置の製造方法。

【請求項 2 2】

前記修正により正常な表示を行えるようにすることを特徴とする請求項 7 乃至 2 1 の何れかに記載の表示装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示装置に係り、特に点欠陥等の表示不良を修正して正常な表示を可能とした表示装置とその製造方法に関する。

【0 0 0 2】

【従来の技術】

液晶表示装置や有機 E L 表示装置等のパネル型の表示装置は、ガラス等の絶縁基板上に、絶縁膜、半導体膜、導電膜を含む複数の膜を所定のパターンにパターン化して積層した表示領域を有する。特に、画素毎に薄膜トランジスタ等のスイッチング素子（アクティブ素子、以下薄膜トランジスタと称する）を有する多数の画素をマトリクス状に配列したアクティブ・マトリクス型の表示装置では、上記薄膜トランジスタ等を配置した基板（薄膜トランジスタ基板）の製造工程で当該薄膜トランジスタや各種の配線、電極を構成する膜中に異物の混入やパターンニングの変形に起因する欠陥が生じ、これが表示不良をもたらす。

【0 0 0 3】

薄膜トランジスタを構成する半導体膜やソース電極、ドレイン電極に生じる画素単位での表示不良（表示欠陥）は点欠陥と称し、薄膜トランジスタに駆動信号を与える配線に短絡や連結が生じる欠陥では、画面上に線状あるいは帯状の表示不良となる場合がある。特に多い欠陥は点欠陥（点灯不良）であり、画素の点灯不良は表示画像の品質を低下させる。従来、このような欠陥による表示不良は、当該欠陥画素を黒点化して目立たなくしたり、連結した膜のはみ出し箇所や隣接画素の膜との接続部分を除去して設計仕様に修正する加工（トリミング）を施して正常な画像表示を可能とする処理がなされている。しかし、黒点化した画素の数が多くなると表示画面全体としての品質が低下する。発生した点欠陥が導電膜



の短絡である場合に、積層形成された各種の膜の最上層から側からレーザ光を照射して短絡した導電膜を分離する修正が行われている。なお、この種の従来技術を開示したものとしては、「特許文献 1」、「特許文献 2」、「特許文献 3」を挙げることができる。

#### 【 0 0 0 4 】

##### 【特許文献 1】

特開 2 0 0 0 - 3 4 7 2 1 7 号公報

##### 【特許文献 2】

特開平 1 1 - 3 8 4 4 8 号公報

##### 【特許文献 3】

特開 2 0 0 2 - 8 2 3 4 6 号公報

#### 【 0 0 0 5 】

##### 【発明が解決しようとする課題】

表示装置を構成するアクティブ・マトリクス基板における表示欠陥として、次のようなものがある。例えば、薄膜トランジスタの活性層を構成する半導体膜が隣接画素同士で接続している場合の接続欠陥（短絡欠陥ともいう）や設計仕様からはみ出したパターン不良（はみ出し欠陥）、隣接する画素電極間の短絡欠陥やパターン不良、隣接する走査信号線同士の間やデータ信号線同士の間、あるいは走査信号線とデータ信号線の間接続欠陥（短絡欠陥）やパターン欠陥あるいは断線などの開放欠陥、薄膜トランジスタのソース電極とドレイン電極の間の接続欠陥（短絡欠陥）等の導電膜間の接続欠陥（短絡欠陥）や開放欠陥などがある。

#### 【 0 0 0 6 】

このような短絡欠陥、開放欠陥、はみ出し欠陥を積層した複数膜の最上層からレーザ光を照射して分離修正あるいは接続修正もしくは除去や分離によるパターン修正をするとき、当該欠陥を修正すべき膜が最上層にない場合には、最上層からレーザ光を照射すると保護膜や絶縁膜などの欠陥のない上層の膜まで損傷され（ダメージを受け）て取り除かれてしまい、本来の表示特性が損なわれ、あるいは新たな欠陥の発生をもたらし、長期にわたって信頼性を確保することが難しくなる。また、最上層に保護膜や絶縁膜をつけない状態で欠陥の検査や修正を行う

ことは困難であり、できたとしてもその後の保護膜や絶縁膜の形成までに異物が付着するなど、信頼性に問題がある。また、黒点化による修正では、単に欠陥を目立たなくしただけであり、正常に表示が行えているわけではない。

#### 【0007】

本発明の目的は、修正すべき膜の上層に保護膜や絶縁膜などが存在する場合にも、これら上層膜には損傷を与えず、その下層にある当該修正すべき膜の欠陥のみを修正して表示不良をなくし、信頼性を向上した表示装置とその製造方法を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明は、欠陥修正を行う時点で、上層の膜を残したままそれより下層の膜に対して修正を行うことを特徴とする。例えば、レーザを用いる場合は、欠陥修正に用いるレーザ光の波長およびその出力、照射方法を最適化したことを特徴とする。すなわち、修正すべき膜の分離や接続あるいはトリミングを、上層の膜に損傷を与えず、当該修正すべき膜のみの分離や接続あるいはトリミングを行うための最適条件でレーザ光を照射することで実現する。

#### 【0009】

図17は表示装置を構成する基板上に成膜された各種の膜に対するレーザ光の波長と吸光度の関係を半導体と絶縁膜を例として示した説明図である。ここでは、薄膜トランジスタの活性層を構成するアモルファス（非晶質）シリコン（a-Si）半導体膜とその上層に存在する絶縁膜（PAS膜：ここではSiN）を例として示す。図7の横軸はレーザ光の波長（nm）、縦軸は吸光度（相対値）である。波長が250nm乃至350nm程度のレーザ光はa-Si半導体膜に吸収され、その上層に存在する絶縁膜SiNには殆ど吸収されない。金属配線膜や透明導電膜と絶縁膜に関しても、それぞれの膜に特有の吸光度の関係がある。

#### 【0010】

このような事実に基づいて本発明は、例えば薄膜トランジスタの活性層である半導体膜の修正については次の（A）（B）の修正方法を採用する点に特徴を有する。すなわち、

(A) 当該半導体膜が隣接画素間で接続している場合の接続欠陥（短絡欠陥）の修正、すなわち分離修正を行うトリミングでは、250 nm乃至350 nm程度の波長をもつレーザ光を絶縁膜SiN側から照射する。および、

(B) 同一の場所に対し、低出力のレーザパルスを複数回照射することで、吸光以外の熱的な損傷による当該半導体膜以外の層の損傷を最小限に抑制する。

#### 【0011】

従来でも、トリミング範囲がレーザ光の移動領域以上に大きい場合や、修正すべき形状が複雑で1回の照射では対応ができない場合には、複数回のレーザ光照射を行っているが、本発明では、同一の場所にレーザ光を複数回に分割して照射する点で異なる。また、半導体膜以外の膜、例えば基板上に形成した走査信号線（走査電極）やデータ信号線等の導電膜、あるいは画素電極等の透明電極についても、修正すべき膜の吸光特性に応じた波長および出力のレーザ光を用い、同一の修正箇所レーザ光を複数回に分割して照射する。

#### 【0012】

このような修正により、修正される膜以外、特に当該修正される膜の上層膜の損傷を最小限とすることが可能となり、表示不良を抑制し、長期にわたって信頼性を確保した表示装置を得ることができる。また、黒点化とは異なり、正常な表示を行わせることも可能である。

#### 【0013】

さらに、本発明によれば、レーザ光照射時の熱的ダメージを最小限に抑えられるため、その他の不良の誘発や膜剥がれなどの機械的なダメージの発生を抑制でき、半導体膜からの水素引抜きによる薄膜トランジスタの特性劣化などの画素駆動に関する特性不良が発生し難いという利点もある。さらに、修正すべき層によっては、外観的にはあたかも全くダメージを受けないような修正も原理的には可能となる。

#### 【0014】

本発明の代表的な構成を記述すれば、次のとおりである。すなわち、

(1) 本発明の表示装置は、基板上に絶縁膜、半導体膜、導電膜を含む複数の膜が所定のパターンにパターン化して積層された表示領域を有し、

前記パターンの短絡欠陥を分離する修正箇所、開放欠陥を接続する修正箇所、はみ出し欠陥を除去する修正箇所、はみ出し欠陥を分離する修正箇所のうちの少なくとも 1 つ以上の修正箇所の修正を行うパターン修正時点において、前記修正箇所には当該修正される前記膜より上層に少なくとも 1 層の上層膜が存在し、前記上層膜を残して前記修正が施されている。

#### 【 0 0 1 5 】

また、本発明の表示装置は、一例として前記修正箇所がレーザ光の照射で前記修正が施されている。また、前記修正箇所が、前記レーザ光を前記基板と反対側から照射することで前記修正が施されている。同一の場所に前記レーザ光が複数回に分割して照射されている。そして、修正されるべき膜の前記上層膜が絶縁膜または透明導電膜の少なくとも一方を含む。前記修正箇所の前記修正により前記表示領域の表示が正常に行える。

#### 【 0 0 1 6 】

( 2 ) 本発明の表示装置の製造方法は、基板上に絶縁膜、半導体膜、導電膜を含む複数の膜を積層する成膜工程と、

前記成膜された膜に生じた短絡欠陥を分離する短絡欠陥箇所分離修正、開放欠陥の接続を行う開放欠陥箇所接続修正、はみ出し欠陥の除去を行うはみ出し欠陥箇所除去修正、はみ出し欠陥の分離を行うはみ出し欠陥箇所分離修正のうちの少なくとも 1 つ以上の欠陥箇所の修正を行う欠陥箇所修正工程とを有し、

前記欠陥箇所修正工程の修正時点において、修正箇所には当該修正される膜より上層に少なくとも 1 層の上層膜が存在し、前記上層膜を残したまま前記修正を施す。

#### 【 0 0 1 7 】

また、本発明は、一例として前記修正をレーザ光の照射で行う。また、前記レーザ光を前記基板と反対側から照射する。同一の場所に前記レーザ光を複数回に分割して照射する。分割数は、少なくとも 1 0 回以上とする。照射間隔を 0 . 3 秒以上あける。前記レーザ光の波長は、前記上層膜よりも前記修正される膜の方で吸収され易い波長とする。修正される膜がアモルファスシリコン半導体膜である場合には、前記レーザ光の波長は、2 5 0 n m 乃至 3 6 0 n m とする。前記レ

ーザ光の出力は  $0.02 \text{ W/cm}^2$  以下とする。このとき、同一の場所に照射するレーザ光を少なくとも 10 回以上に分割して照射する。前記上層膜は、絶縁膜または透明導電膜の少なくとも一方を含む。前記半導体膜が非晶質半導体膜であり、前記非晶質半導体膜を分離修正または除去修正する。

#### 【0018】

前記半導体膜が、その上層にソース電極とドレイン電極を有する薄膜トランジスタの活性層を構成し、当該半導体膜は真性半導体膜と、その上層に形成されたコンタクト膜とを有し、前記コンタクト膜を介して前記ソース電極と前記ドレイン電極とが短絡した欠陥に対して、前記ソース電極と前記ドレイン電極との間に存在する前記コンタクト膜を前記真性半導体膜の一部と共に除去することで分離修正を行う。

#### 【0019】

前記導電膜は走査信号線、映像信号線、画素電極の少なくとも一つであり、前記分離修正が前記走査信号線の間の短絡欠陥、前記映像信号線の間の短絡欠陥、前記画素電極の間の短絡欠陥の修正である。そして、前記画素電極が透明導電膜である。また、これらの修正により正常な表示を行えるようにする。

#### 【0020】

本発明は、基本的にはパターンニングした膜の短絡欠陥の分離修正とトリミングを基本とするが、例えばレーザ光の出力を調整して導電膜を溶融して除去せずに流動化し、本来連続していなければならない箇所を接続する開放欠陥の接続修正も可能である。このように、本発明によれば、製造歩留りを大幅に向上することができ、結果として表示装置の低コスト化を実現できる。本発明の表示装置は、液晶表示装置に限らず、有機 EL 表示装置等のアクティブ・マトリクス型表示装置に適用できることは言うまでもない。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。なお、以下の実施例では、液晶表示装置を例として説明する。図 1 は本発明の表示装置の画素配列を説明する要部平面図である。また、図 2 は図 1 の A-A'



線に沿った断面図である。図1では基板上の4画素を示す。この基板は、画素毎に薄膜トランジスタTFTを備えた薄膜トランジスタ基板であり、ガラス基板SUB上に薄膜トランジスタを有する多数の画素が配列されている。1画素は走査信号線GL（薄膜トランジスタTFTの部分ではゲート電極GTとなる）と映像信号線（データ線）DLの交差部に形成された薄膜トランジスタTFTのソース電極SD1にコンタクトホールTHで接続した画素電極ITOで構成される。製造プロセスで構造を説明すると以下のとおりである。符号SD2は薄膜トランジスタTFTのドレイン電極を示す。なお、以下の実施例では、短絡欠陥の分離修正と開放欠陥の接続修正を主として説明する。はみ出し欠陥の修正はトリミングであり、はみ出し部分のほぼ全てを除去してしまう除去修正と、一部（正規のパターンの近傍）を除去することで余分なところと分離する分離修正の2種類があるが、少なくとも一部を除去してしまう点では基本的には短絡欠陥の分離修正と同じである。

#### 【0022】

先ず、例えば370mm×470mmサイズのガラス基板SUBを洗浄し、金属薄膜をスパッタリング等で成膜する。ここでは、厚さ200nmのクロム薄膜を成膜する。この金属薄膜をレジスト塗布、マスク露光工程を含むフォトリソグラフィ工程、エッチング工程を用いてパターンニングし、走査信号線（ゲート配線）GL（薄膜トランジスタのゲート電極GTともなる）を形成する。フォトリソグラフィ工程とエッチング工程で用いたレジストを除去した後、プラズマCVDでゲート絶縁膜GIとして窒化シリコン（SiN）薄膜を400nmの膜厚に成膜し、さらにアモルファスシリコン（a-Si）膜ASI（真性半導体膜）を厚さ250nmに成膜する。次の工程で形成するソース電極SD1、ドレイン電極SD2との接続のために導電性を付与するため、a-Si膜ASI上に燐（P）をドーピングしたアモルファスシリコン（n+a-Si）膜を連続積層してコンタクト膜SICを50nm厚に形成する。a-Si膜ASI上とコンタクト膜SICで半導体膜とする。

#### 【0023】

その後、周知のフォトリソグラフィ法で半導体膜上にフォトレジストパターンを

形成し、6 フッ化硫黄と塩化水素を用いたドライエッチング法で加工を施して半導体膜に薄膜トランジスタの活性層（アイランド）を形成する。レジストを除去後、ソース電極 S D 1、ドレイン電極 S D 2 となる金属膜としてクロムを厚さ 2 0 0 n m にスパッタする。これを周知のフォトリソグラフ法とエッチング法を用いてソース電極 S D 1、ドレイン電極 S D 2 に形成する。このとき、映像信号線 D L も同時に形成される。

#### 【 0 0 2 4 】

ソース電極 S D 1 とドレイン電極 S D 2 のパターンをマスクとして 6 フッ化硫黄と塩化水素の混合気体を用いて半導体膜をエッチングし、設計値 1 5 0 n m 相当の膜厚とする。パターン形成に使用したレジストを除去し、プラズマ C V D 法で S i N を成膜して保護膜 P A S を 3 0 0 n m 厚に形成する。保護膜 P A S を周知のフォトリソグラフ法とエッチング法を用いてパターンニングし、レジストを除去する。次に、スパッタリング法を用いて酸化インジウムと酸化錫からなる透明導電膜を厚さ 1 5 0 n m に成膜し、周知のフォトリソグラフ法とエッチング法を用いて画素電極 I T O を形成する。最後にレジストを除去して薄膜トランジスタ基板を得る。

#### 【 0 0 2 5 】

##### 第 1 実施例

図 3 は薄膜トランジスタ基板に形成した薄膜の欠陥の一つである半導体膜の短絡欠陥の一例を説明する図 1 と同様の平面図である。図 3 に示したように、隣接する画素の薄膜トランジスタを構成する半導体膜 A S I （コンタクト膜 S I C も含む、以下同様）が連結している。この連結部分を欠陥 D F 1, D F 2 で示した。これを短絡欠陥と称する。正常な薄膜トランジスタとするためには、これらの短絡欠陥を分離する必要がある。また、欠陥 D F 3 は、はみ出し欠陥である。この欠陥 D F 3 によって a - S i アイランドと画素電極 I T O との間に容量が形成され、輝点欠陥となる。したがって、このはみ出し欠陥については、除去又は分離する必要がある。

#### 【 0 0 2 6 】

図 4 は図 3 における半導体膜の短絡欠陥状態を説明する模式図で、本来分離し



ていなければならない隣接画素の薄膜トランジスタをそれぞれ構成する半導体膜 A S I 1 と A S I 2 が短絡欠陥 D F で連結されている状態を示す。半導体膜 A S I 1 と A S I 2 の上層には絶縁膜 P A S が成膜されている。

#### 【0027】

図5は本発明の製造方法による図4に示した欠陥修正の説明図である。短絡欠陥 D F を分離するために、基板 S U B と反対側、すなわち絶縁膜 P A S の上方からレーザ光 L を照射する。このレーザ光の波長は 266 nm で、出力は 0.02 W/cm<sup>2</sup> である。このレーザ光 L を1回の照射（以下、ショットとも言う）が5ナノ秒の10回ショットで、各ショット間隔は0.3秒の間欠照射である。その結果、図5に示したように、上層の絶縁膜 P A S を残したまま短絡欠陥 D F が除去されて半導体膜 A S I 1 と A S I 2 が分離される。なお、はみ出し欠陥の修正についてもほぼ同様に行うことができる。

#### 【0028】

この薄膜トランジスタ基板を所定のパネルサイズに切断する。本実施例では、対角が公称 38 cm の2枚の液晶パネルが得られる。切断した薄膜トランジスタ基板に配向膜を塗布し、ラビング等で配向制御能を付与する。一方、図示しない多色のカラーフィルタおよび配向制御能を付与した配向膜を有するカラーフィルタ基板を一部に液晶封入口を設けてシール材で貼り合わせ、両基板の間隙に液晶封入口から液晶材料を封入し、封止する。このパネルの周辺に有する端子に駆動回路を搭載し、液晶表示装置が完成する。こうして製造した液晶表示装置を点灯試験したところ、欠陥修正した画素は正常画素と同様に動作することが確認された。

#### 【0029】

なお、調査のため、この液晶表示装置を分解し、薄膜トランジスタ基板の欠陥修正箇所を走査型電子顕微鏡で観察したところ、ゲート絶縁膜 G I と絶縁膜（保護膜） P A S に挟まれた半導体膜 A S I の短絡欠陥 D F がほぼ完全に除去され、トリミングされていることが確認できた。尚、短絡欠陥の分離のためには、余分なところを全て除去する必要はなく、一部のみ除去して分離を行っても良い。これ以降に説明する実施例でも同様であり、繰り返しの説明は省略する。

## 【 0 0 3 0 】

## 比較例 1

比較のために、上記と同様の半導体膜の短絡欠陥に対し、以下の条件でレーザー光を照射し、修正を試みた。すなわち、波長 2 6 6 n m、出力 0 . 2 W / c m<sup>2</sup> のレーザー光をショット数 1 （1 ショットが 5 ナノ秒）照射した。その結果、修正箇所の半導体膜 A S I は分離されたが、上層の絶縁膜 P A S も一緒に破壊されていることが分かった。この薄膜トランジスタ基板を用いて前記実施例と同様にして液晶表示装置を組立てたところ、修正箇所は点欠陥のままとなって実質的な修正はなされなかった。

## 【 0 0 3 1 】

## 比較例 2

また、上記と同様の半導体膜の短絡欠陥に対し、以下の条件でレーザー光を照射し、修正を試みた。すなわち、波長 2 6 6 n m、出力 0 . 0 4 W / c m<sup>2</sup> のレーザー光をショット数 5 （1 ショットが 5 ナノ秒）、ショット間隔 0 . 3 秒で照射した。その結果、修正箇所の半導体膜 A S I は分離されたが、比較例 1 と同様に上層の絶縁膜 P A S も一緒に破壊されていることが分かった。この薄膜トランジスタ基板を用いて前記実施例と同様にして液晶表示装置を組立てたところ、修正箇所は点欠陥のままとなって実質的な修正はなされなかった。

## 【 0 0 3 2 】

## 比較例 3

さらに、上記と同様の半導体膜の短絡欠陥に対し、以下の条件でレーザー光を照射し、修正を試みた。すなわち、波長 5 3 2 n m、出力 0 . 0 2 W / c m<sup>2</sup> のレーザー光をショット数 1 0 （1 ショットが 5 ナノ秒）、ショット間隔 0 . 3 秒で照射した。この場合には、修正箇所の半導体膜 A S I は充分に分離されなかった。なお、この波長域でレーザー光の出力を大きくしたり、ショット数を増加させると、当該半導体膜 A S I のみならず、上層膜が損傷されることが分かった。この薄膜トランジスタ基板を用いて前記実施例と同様にして液晶表示装置を組立てたところ、修正箇所は点欠陥のままとなって実質的な修正はなされなかった。

## 【 0 0 3 3 】

これらの比較例から分かるように、レーザ光の出力を大きくしてショット回数を減らして、上記実施例と総エネルギーが同じレーザ光を用いても所望の修正がなされない。出力は  $0.02 \text{ W/cm}^2$  以下が望ましい。ショットの分割数は 10 回以上が望ましい。また、上層の膜よりも修正をしたい膜の方で吸収率が高い波長のレーザ光を使うのが効果的であることが分かる。尚、ショット間隔については、短か過ぎると上層の膜を破壊してしまうおそれがあるため、0.3 秒以上あけることが望ましい。

#### 【0034】

#### 第2実施例

図6は薄膜トランジスタ基板に形成した薄膜の欠陥の一つである画素電極の短絡欠陥の一例を説明する図1と同様の平面図である。なお、図6に示した薄膜トランジスタ基板は最上層（配向膜は修正後に形成するので配向膜の下層）に保護膜（絶縁膜）PASを有する層構造を有するものである。図6に示したように、隣接する画素の画素電極ITOが連結している。この連結部分をDF4とDF5で示した。これが短絡欠陥であり、正常な画素とするためには、これらの短絡欠陥を分離する必要がある。

#### 【0035】

図7は図6のB-B'線に沿った断面図である。この薄膜トランジスタ基板では、保護膜PASの下層に透明導電膜である画素電極ITOが形成されている。他の構成は前記実施例と同様である。本実施例では図6に示した短絡欠陥DF4とDF5を分離して正常な画素とするものである。

#### 【0036】

図8は図6における画素電極の短絡欠陥状態を説明する模式図で、本来分離していなければならない隣接画素の画素電極ITOが短絡して連結されている状態を示す。画素電極ITOの上層には絶縁膜PASが成膜されている。

#### 【0037】

図9は本発明の製造方法による図8に示した欠陥の修正の説明図である。短絡欠陥DFを分離するために、基板SUBと反対側、すなわち絶縁膜PASの上方からレーザ光Lを照射する。このレーザ光の波長は  $355 \text{ nm}$  で、出力は 0.0

1 W/cm<sup>2</sup> である。このレーザ光 L を 1 回の照射（以下、ショットとも言う）が 5 ナノ秒の 20 回ショットで、各ショット間隔は 0.3 秒の間欠照射である。その結果、図 9 に示したように、短絡欠陥 D F が除去されて画素電極 I T O 1 と I T O 2 が分離される。こうして欠陥を修正した薄膜トランジスタ基板を用いた液晶表示装置の製造は前記実施例と同様なので、繰り返しの説明は省略する。本実施例の液晶表示装置も短絡欠陥 D F がほぼ完全に除去され、トリミングされており、正常な動作を行うことが確認できた。尚、画素電極が金属膜で形成されている場合でも、短絡欠陥の修正を行うことは可能である。

### 【0038】

#### 第 3 実施例

図 7 に示したように、画素電極（透明導電膜） I T O が積層膜の間に存在する薄膜トランジスタ基板において、図 8 に示した短絡欠陥を分離修正するために、波長 355 nm、出力 0.04 W/cm<sup>2</sup> のレーザ光をショット数 10、ショット間隔 0.3 秒で基板 S U B と反対側（保護膜 P A S 側）から照射した。レーザ光の照射後は、当該照射部分の保護膜 P A S に若干のダメージがあったが、図 9 に示したように、短絡欠陥 D F は充分に分離することができた。この薄膜トランジスタ基板を用いた液晶表示装置を製造は前記実施例と同様なので、繰り返しの説明は省略する。本実施例の液晶表示装置も短絡欠陥 D F がほぼ完全に除去され、トリミングされており、正常な動作を行うことが確認できた。

### 【0039】

#### 第 4 実施例

図 10 は薄膜トランジスタ基板に形成した薄膜の欠陥の一つである配線又は電極の短絡欠陥の一例を説明する図 1 と同様の平面図である。本実施例では、薄膜トランジスタ基板に有する積層膜中の金属配線間の短絡欠陥を修正する。本来分離していなければならない隣接する走査信号線 G L 1 と G L 2 が短絡欠陥 D F 6 で連結されている状態を示す。また、隣接する映像信号線 D L 1 と D L 2 が短絡欠陥 D F 7 で連結されている状態を示す。また、ソース電極 S D 1 とドレイン電極 S D 2 の短絡欠陥 D F 8 についても示した。薄膜トランジスタ基板上に形成された走査信号線（ゲート線） G L の相互間、映像信号線（データ線） D L の相互

間が図10のように短絡した欠陥に対して、以下のような修正を施す。ここでは映像信号線DL間の短絡欠陥の修正を例として説明する。

#### 【0040】

図11は図10における映像信号線間の短絡欠陥状態を説明する模式図であり、図12は本発明の製造方法による図11に示した欠陥の修正を説明する模式図である。短絡欠陥DF7を分離するために、基板SUBと反対側、すなわち絶縁膜PASの上方からレーザ光Lを照射する。このレーザ光の波長は532nmで、出力は0.04W/cm<sup>2</sup>である。このレーザ光Lをショット数5、ショット間隔5ナノ秒で、各ショット間隔は0.3秒の間欠照射である。その結果、上層にある絶縁膜PASに若干のダメージが残るものの、図12に示したように、短絡欠陥DF7は除去されて映像信号線DL1とDL2が分離された。

#### 【0041】

この薄膜トランジスタ基板を用いた液晶表示装置を製造は前記実施例と同様なので、繰り返しの説明は省略する。本実施例の液晶表示装置も短絡欠陥がほぼ完全に除去され、トリミングされており、正常な動作を行うことが確認できた。

#### 【0042】

### 第5実施例

図13は薄膜トランジスタ基板に形成した薄膜の欠陥の一つである半導体膜を構成するコンタクト膜の短絡欠陥の一例を説明する断面図である。本実施例では、薄膜トランジスタ基板に有する積層膜中の半導体膜を構成するコンタクト膜SICの短絡欠陥DFを修正する。図中、符号GTはゲート電極で、その上層にゲート絶縁膜GI、a-シリコン半導体膜ASI、コンタクト膜SIC、ソース電極SD1とドレイン電極SD2、絶縁膜PASがこの順序で積層されている。そして、本来であればソース電極SD1とドレイン電極SD2の下層に有するコンタクト膜SICはゲート電極GTの上部で分離していなければならない。しかし、図で示したようにソース電極SD1とドレイン電極SD2がコンタクト膜SICを介して短絡してしまっている。本実施例は、この部分のコンタクト膜SICを分離する修正である。

#### 【0043】



図14は本発明の製造方法による図13に示した欠陥の修正を説明する模式図である。短絡欠陥DFを分離するために、基板SUBと反対側、すなわち絶縁膜PASの上方からレーザ光Lを照射する。このレーザ光の波長は266nmで、出力は0.02W/cm<sup>2</sup>である。このレーザ光Lは、ショット数2、ショット間隔は0.3秒で間欠照射した。その結果、図14に示したように、半導体膜を構成するコンタクト膜SICがその下層のa-シリコン半導体膜ASIの一部と共に除去され、コンタクト膜SICは完全に分離された。なお、修正すべき半導体膜の下層にあるゲート絶縁膜GIとゲート電極GTには何らのダメージも及ばない。また、上層の絶縁膜PASにもダメージは及んでいない。

#### 【0044】

この薄膜トランジスタ基板を用いた液晶表示装置を製造は前記実施例と同様なので、繰り返しの説明は省略する。本実施例の液晶表示装置も欠陥箇所DFがほぼ完全に除去され、トリミングされており、正常な動作を行うことが確認できた。

#### 【0045】

### 第6実施例

図15は図1のa-a'線に沿った断面における映像信号線の開放欠陥を説明する模式図である。そして、図16は本発明の製造方法による図15に示した開放欠陥の修正を説明する模式図である。図15に示したように、走査信号線GLとドレイン線（映像信号線）DLとが交差する場所において、下層の走査信号線GLの段差に起因してドレイン線DLが開放欠陥DFとなっている。この開放欠陥DFを修正するため、保護膜（絶縁膜）PASにはほとんど吸収されず、ドレイン線DLに吸収される波長のレーザ光を照射してドレイン線DLを構成する金属膜を溶解して流動させることで接続させる。

#### 【0046】

本実施例で用いるレーザ光の波長は250乃至360nmで、出力は0.02W/cm<sup>2</sup>以下、ショット数は10回以上、ショット間隔は0.3秒以上あけて間欠照射する。基板SUBとして使用される無アルカリガラスはこの波長を吸収することが知られているので、図16に示したように保護膜PAS側からレーザ

光を間欠照射する。

【 0 0 4 7 】

開放欠陥の接続修正は、これ以外にも様々な応用例がある。具体例を列記すると以下の通りである。

- (a) 透明導電膜又は金属層でできた画素電極同士の接続
- (b) 金属層でできた走査信号線又は映像信号線同士の接続
- (c) 金属層又は透明導電膜でできた配線同士の接続
- (d) 金属層でできた配線と透明導電膜でできた配線との接続
- (e) 金属層でできた電極同士の接続
- (f) 金属層でできたソース電極と透明導電膜又は金属層でできた画素電極との接続
- (g) 金属層でできた走査信号線又は映像信号線又は配線と透明導電膜でできた端子との接続
- (h) 透明導電膜でできた配線と透明導電膜でできた端子との接続
- (i) 金属層でできた走査信号線又は映像信号線又は配線と金属でできた端子との接続
- (j) 透明導電膜でできた配線と金属でできた端子との接続
- (k) 金属層でできた走査信号線又は映像信号線と金属でできた配線との接続
- (l) 金属層でできた走査信号線又は映像信号線と透明導電膜でできた配線との接続

これらの例示に限られず、本発明によれば、走査信号線、映像信号線、画素電極、配線、電極のうちの少なくとも 1 つの開放欠陥の接続修正が可能である。

また、本発明によれば、走査信号線、映像信号線、画素電極、配線、電極、端子のうちから選ばれる 2 つの間の開放欠陥の接続修正が可能である。

また、短絡欠陥の分離修正、はみ出し欠陥の除去修正、はみ出し欠陥の分離修正に関しても、これまで説明した実施例に限られず、様々な箇所における半導体膜、絶縁膜、導電膜（例えば金属であっても透明導電膜であっても良い）に適用が可能である。

また、修正される膜の上層の膜についても、絶縁膜（保護膜）に限られず、透



明導電膜等であっても良い。

【 0 0 4 8 】

【発明の効果】

以上説明したように、本発明によれば、修正すべき膜の上層に保護膜や絶縁膜などが存在する場合にも、これら上層膜には損傷を与えず、その下層にある当該修正すべき膜の欠陥のみを修正して表示不良をなくし、信頼性を向上した表示装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の表示装置の画素配列を説明する要部平面図である。

【図 2】

図 1 の A - A' 線に沿った断面図である。

【図 3】

薄膜トランジスタ基板に形成した薄膜の欠陥の一つである半導体膜の短絡欠陥の一例を説明する図 1 と同様の平面図である。

【図 4】

図 3 における半導体膜の短絡欠陥状態を説明する模式図である。

【図 5】

本発明の製造方法による図 4 に示した欠陥修正の説明図である。

【図 6】

薄膜トランジスタ基板に形成した薄膜の欠陥の一つである画素電極の短絡欠陥の一例を説明する図 1 と同様の平面図である。

【図 7】

図 6 の B - B' 線に沿った断面図である。

【図 8】

図 6 における画素電極の短絡欠陥状態を説明する模式図である。

【図 9】

本発明の製造方法による図 8 に示した欠陥の修正の説明図である。

【図 1 0】

薄膜トランジスタ基板に形成した薄膜の欠陥の一つである配線又は電極の短絡欠陥の一例を説明する図 1 と同様の平面図である。

【図 1 1】

図 1 0 における映像信号線間の短絡欠陥状態を説明する模式図である。

【図 1 2】

本発明の製造方法による図 1 1 に示した欠陥の修正を説明する模式図である。

【図 1 3】

薄膜トランジスタ基板に形成した薄膜の欠陥の一つである半導体膜を構成するコンタクト膜の短絡欠陥の一例を説明する断面図である。

【図 1 4】

本発明の製造方法による図 1 3 に示した欠陥の修正を説明する模式図である。

【図 1 5】

図 1 の a - a' 線に沿った断面における映像信号線の開放欠陥を説明する模式図である。

【図 1 6】

本発明の製造方法による図 1 5 に示した開放欠陥の修正を説明する模式図である。

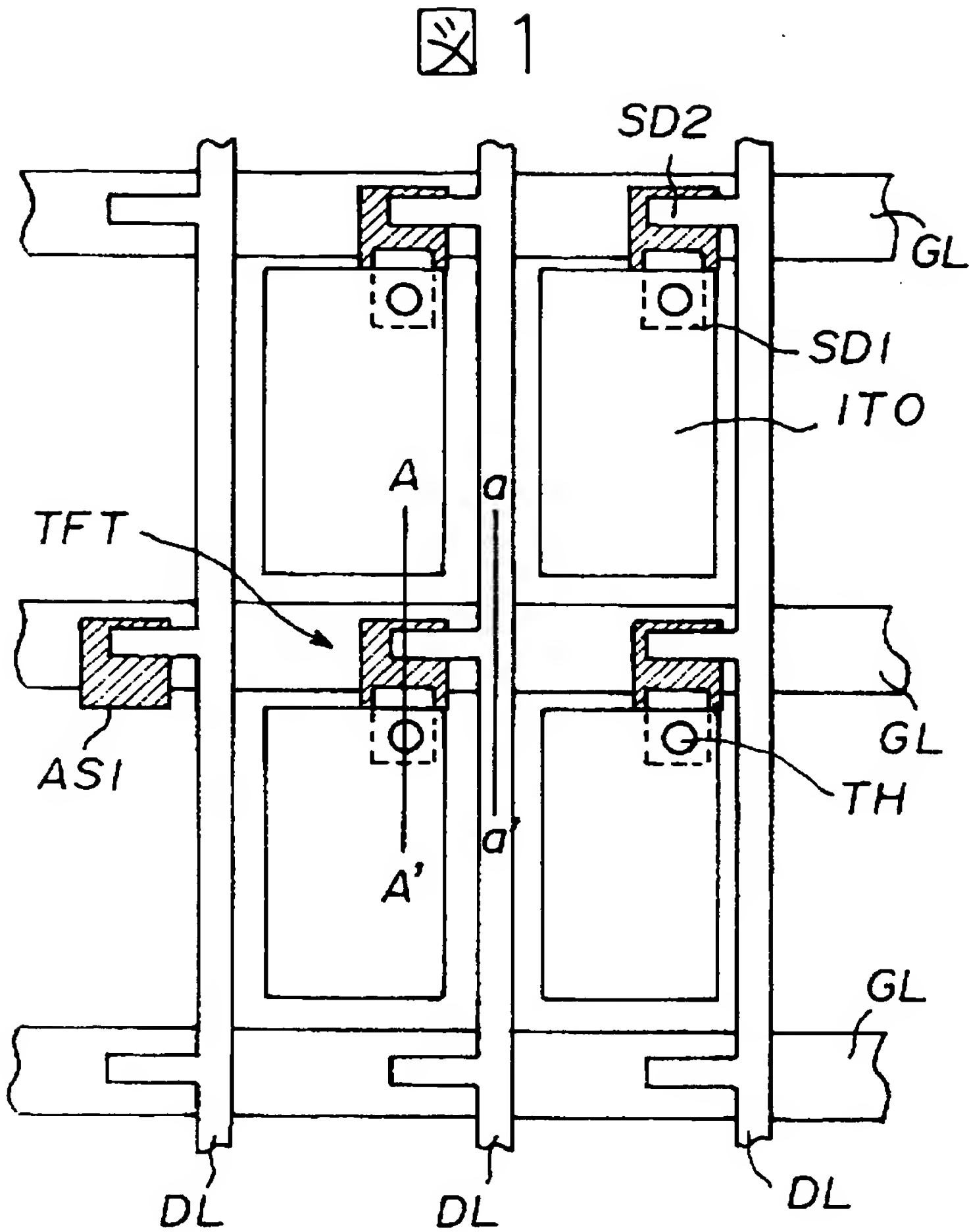
【図 1 7】

表示装置を構成する基板上に成膜された各種の膜に対するレーザ光の波長と吸光度の関係を半導体と絶縁膜を例として示した説明図である。

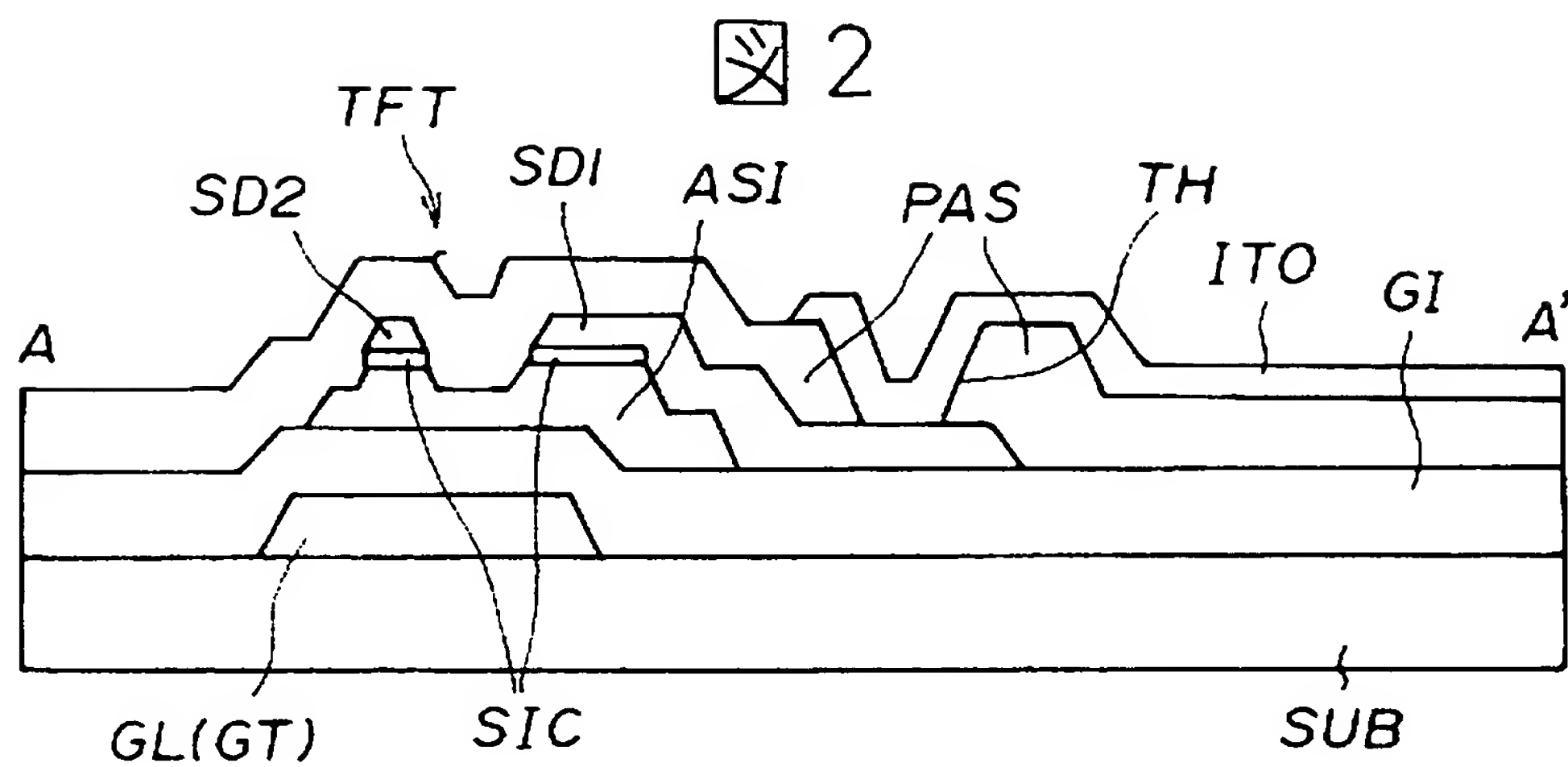
【符号の説明】

SUB . . . . . 基板、GL . . . . . 走査信号線（ゲート線、ゲート信号線）、  
GT . . . . . ゲート電極、DL . . . . . 映像信号線（データ線、電極信号線）。  
TFT . . . . . 薄膜トランジスタ、SD1 . . . . . ソース電極、SD2 . . . . .  
ドレイン電極、TH . . . . . コンタクトホール、ITO . . . . . 画素電極、S  
IC . . . . . コンタクト膜、ASI . . . . . a - Si 膜、DF . . . . . 欠陥箇所。  
。

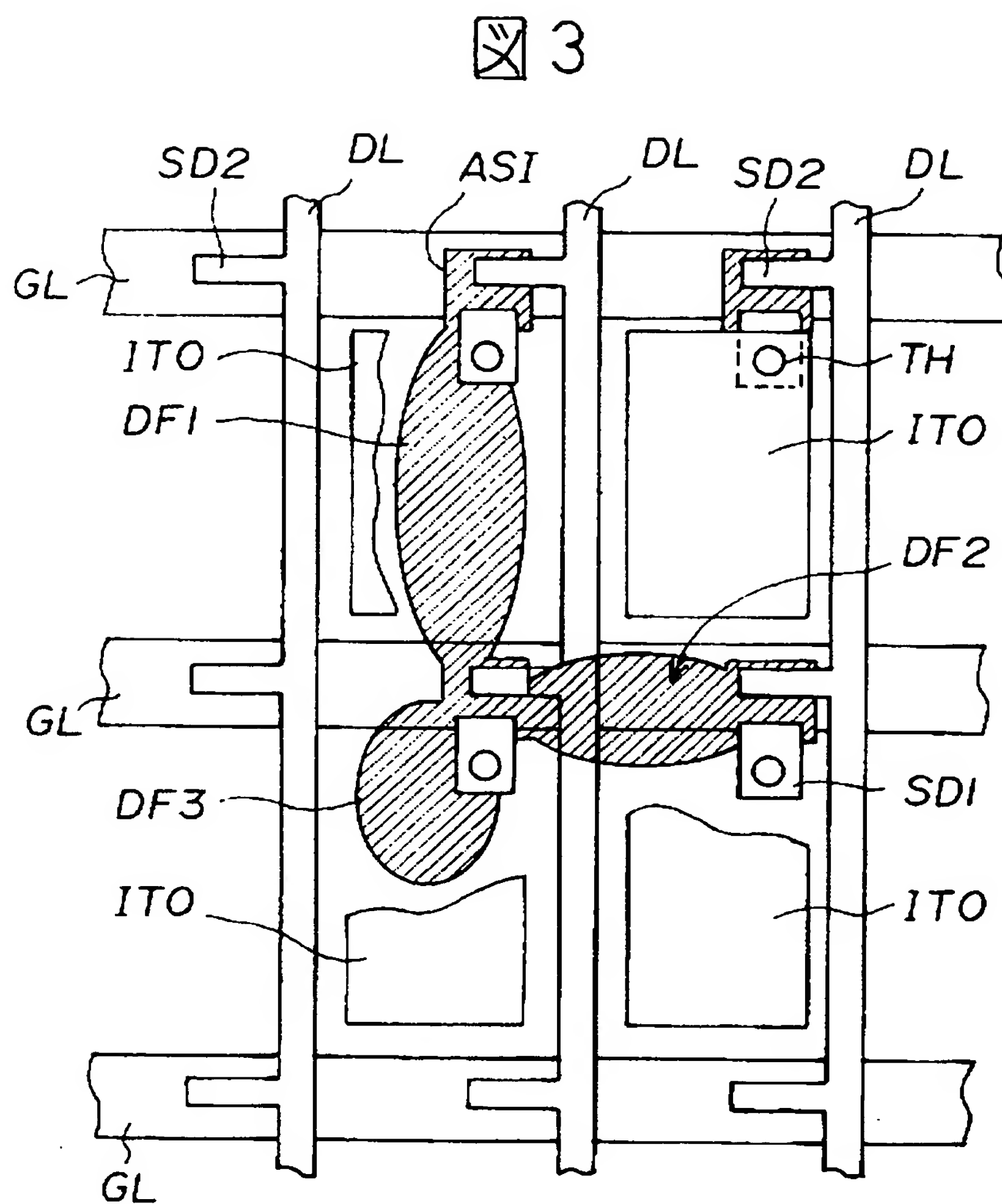
【書類名】 図面  
【図 1】



【図 2】

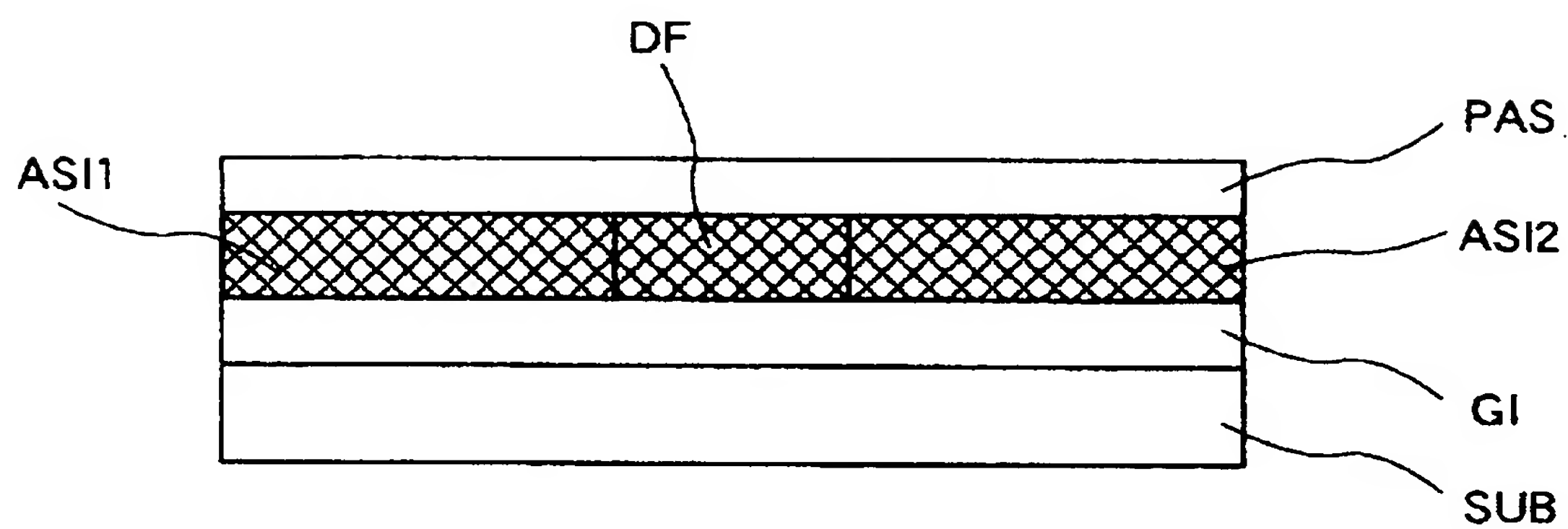


【図 3】



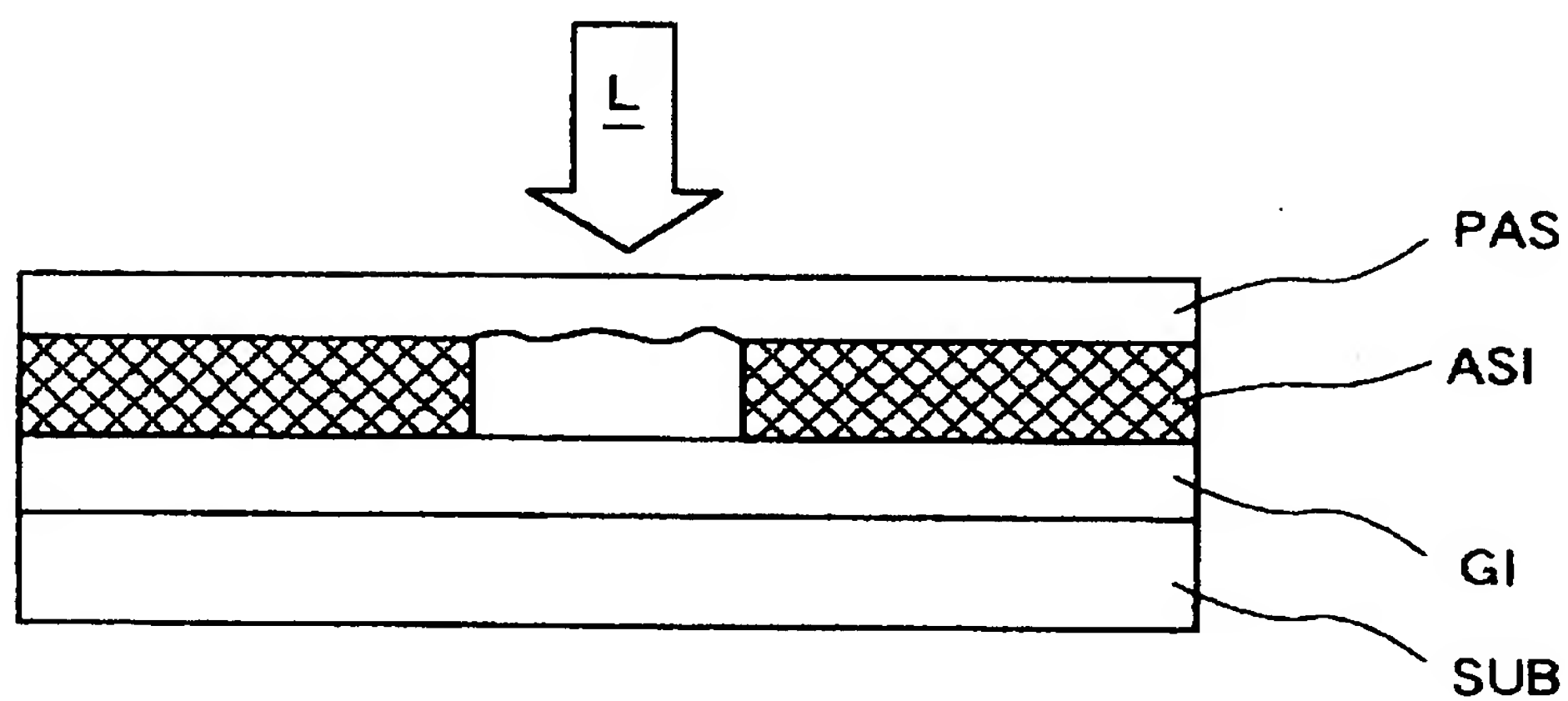
【図 4】

図 4

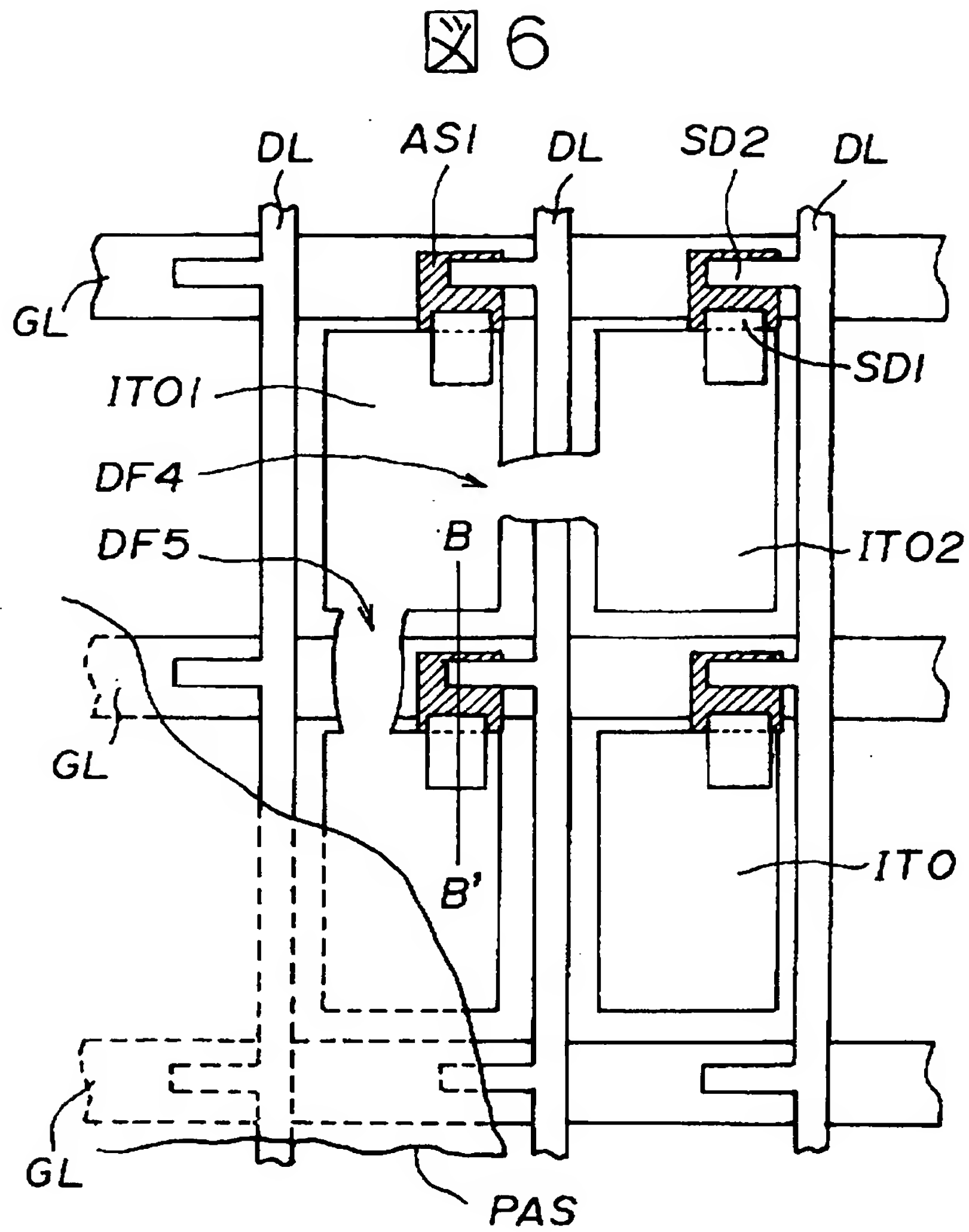


【図 5】

図 5



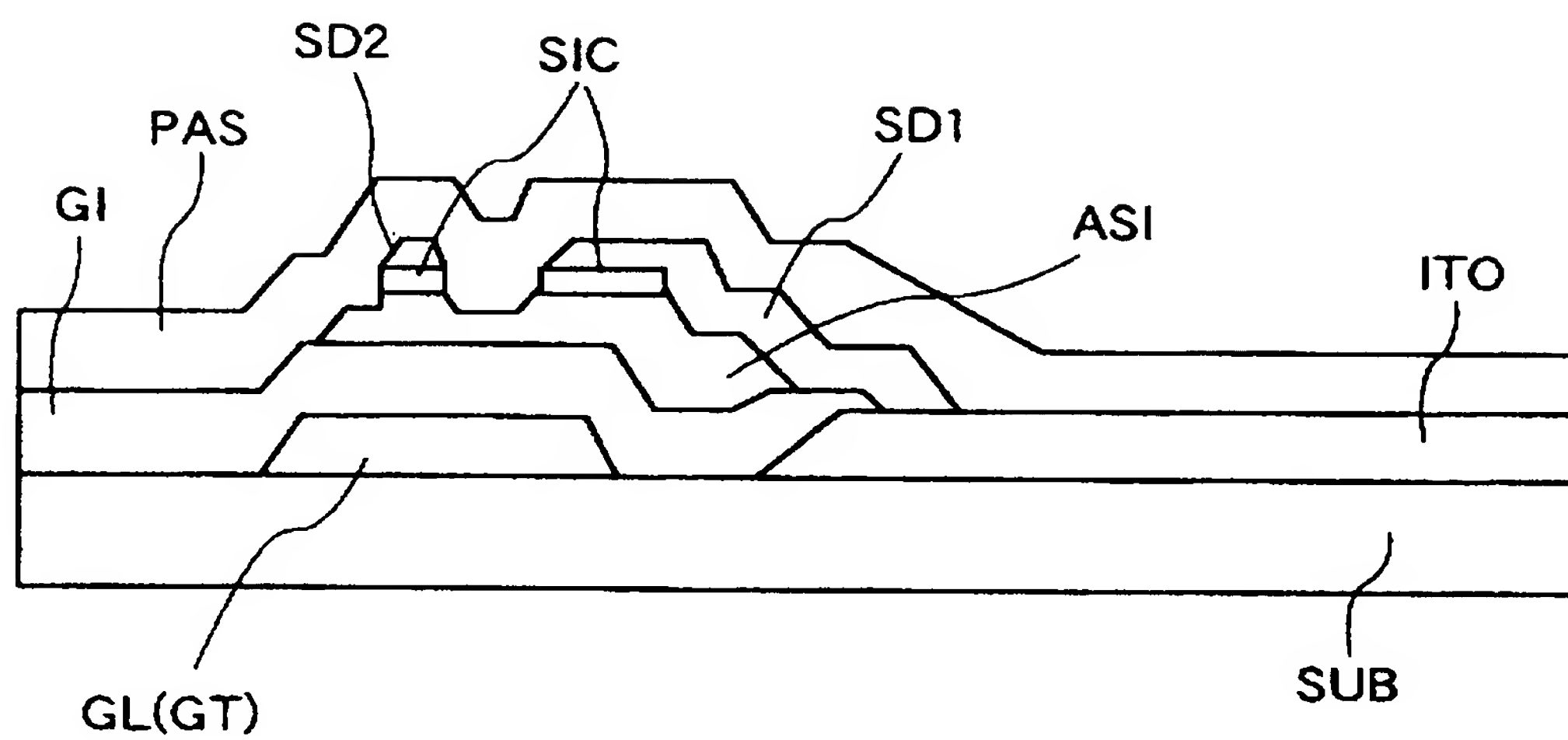
【図 6】





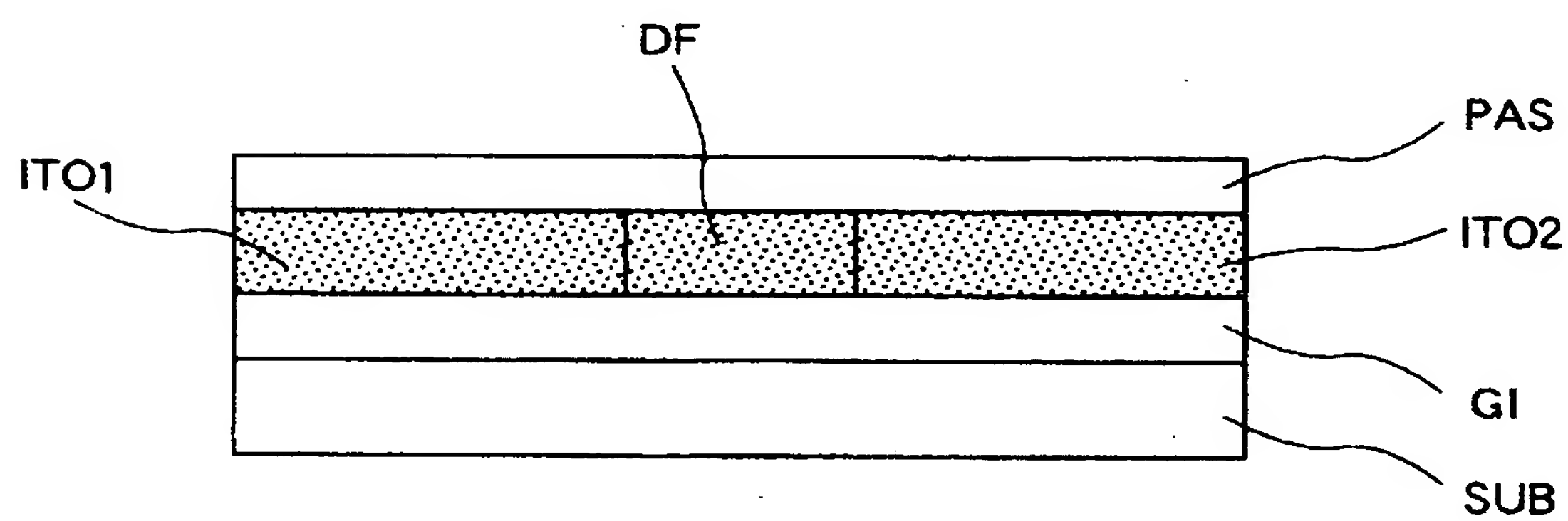
【図 7】

図 7

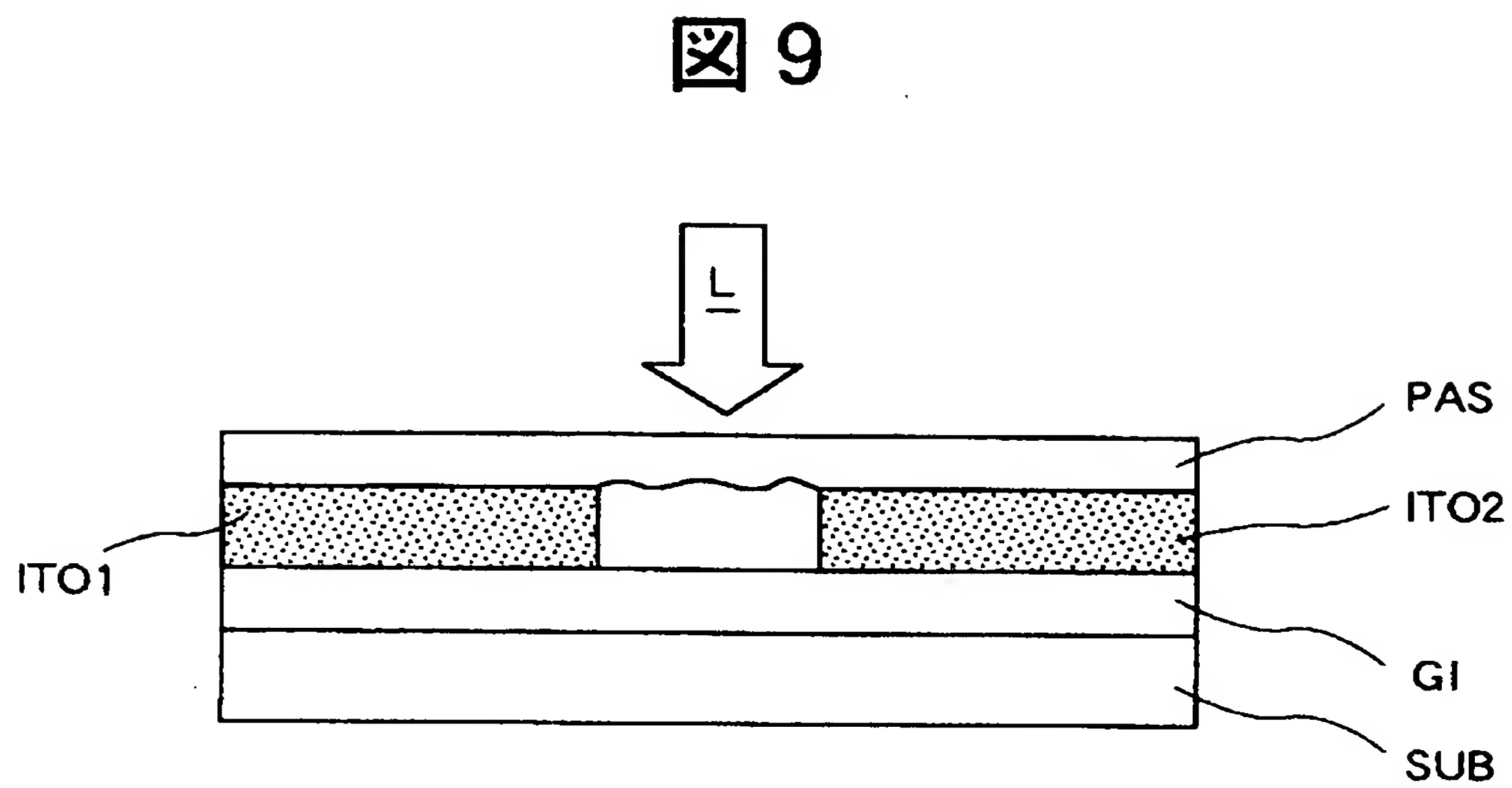


【図 8】

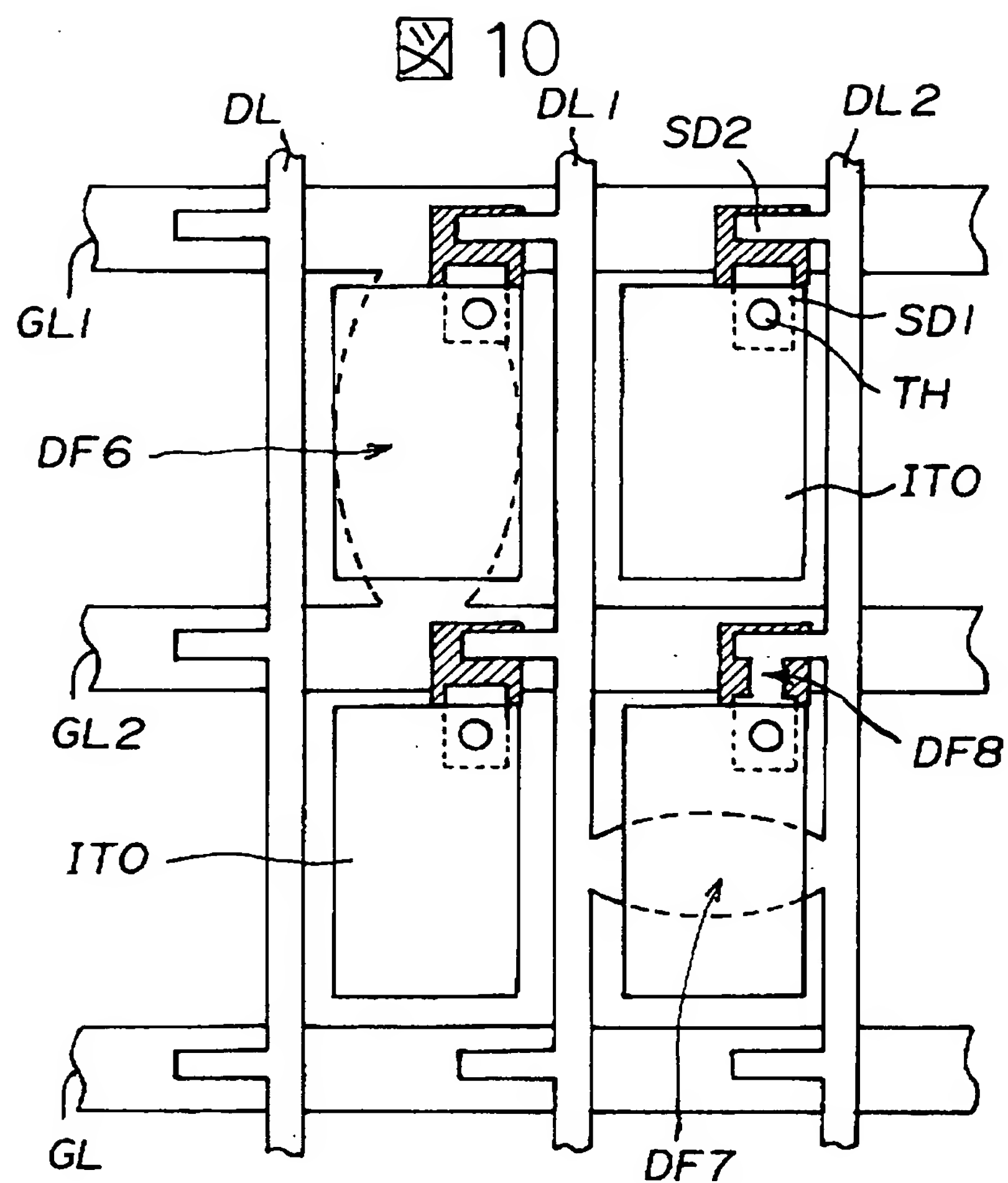
図 8



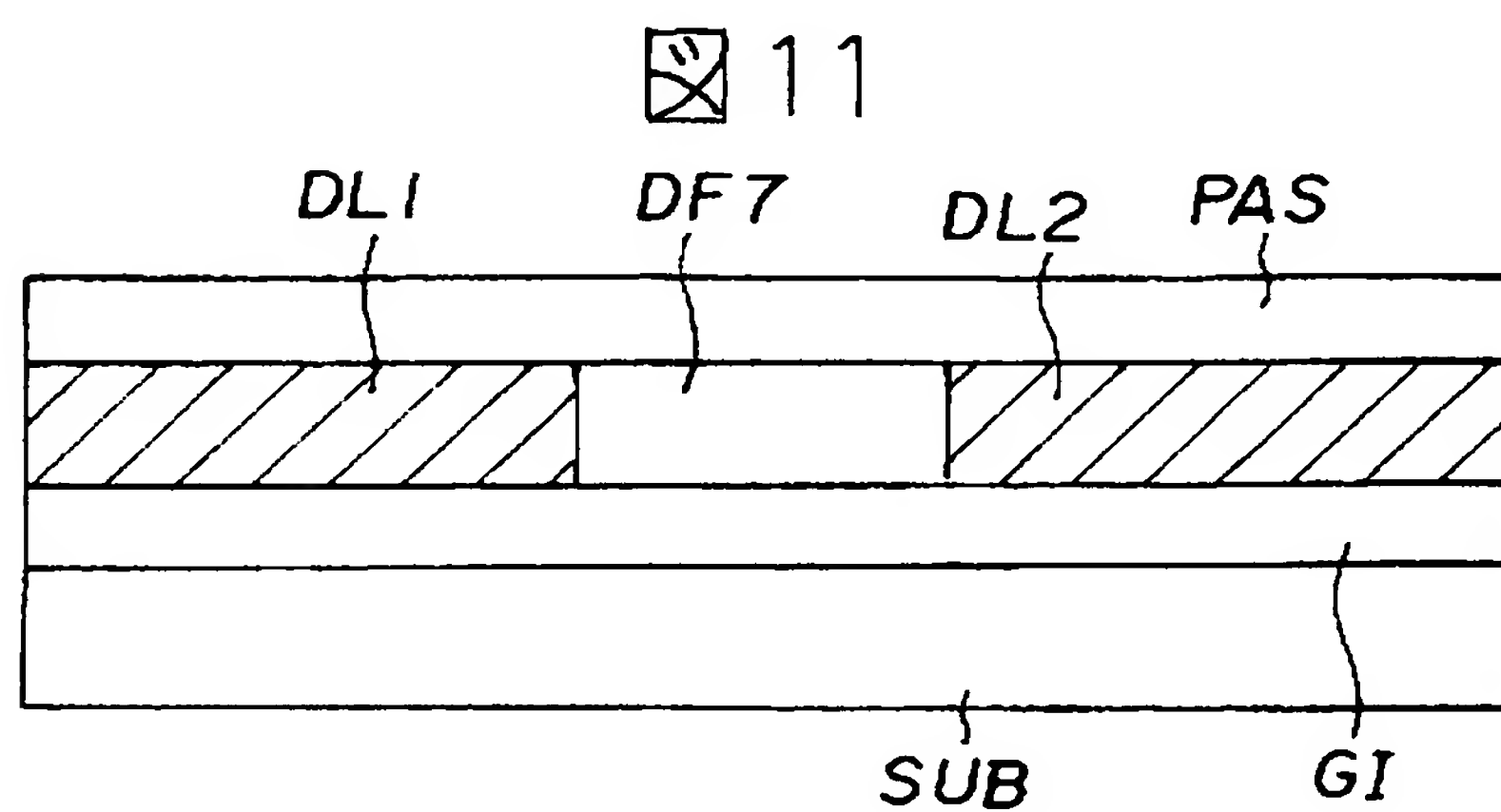
【図 9】



【图 10】

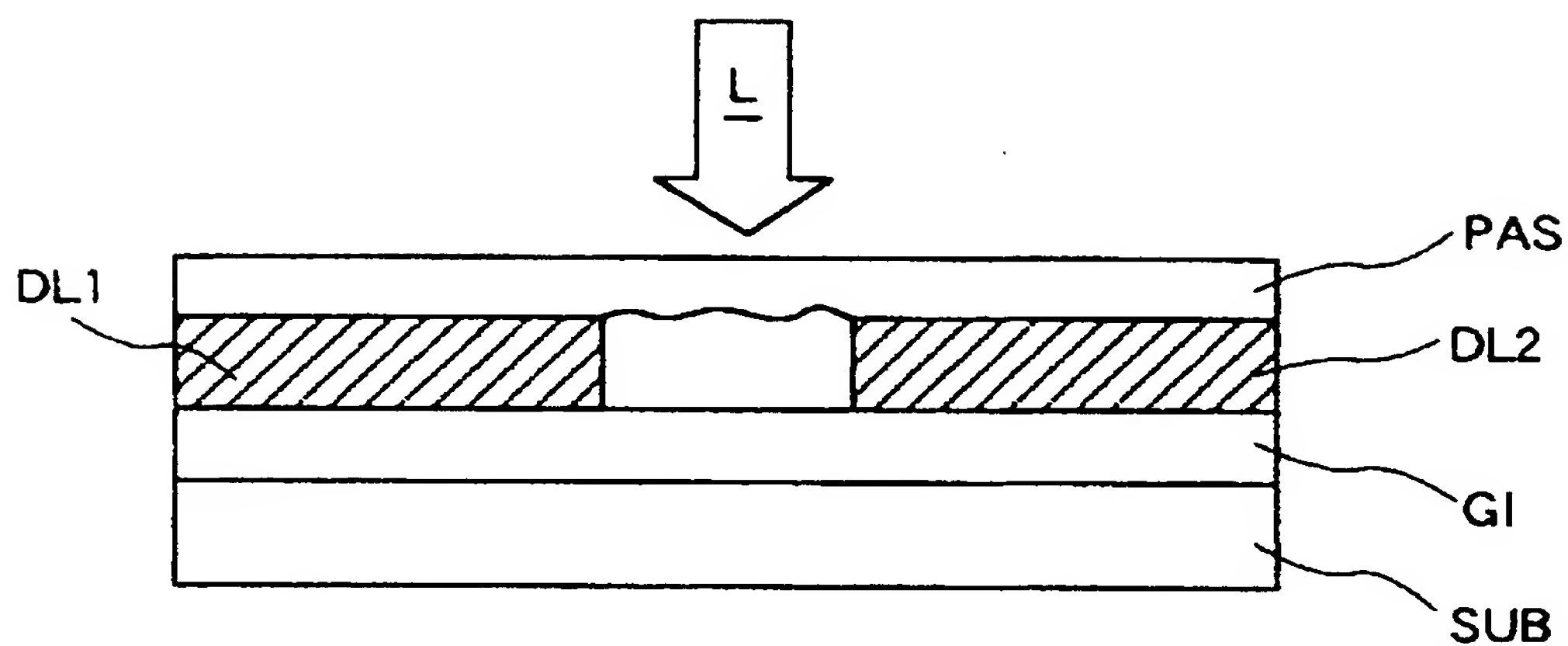


【図 1 1】



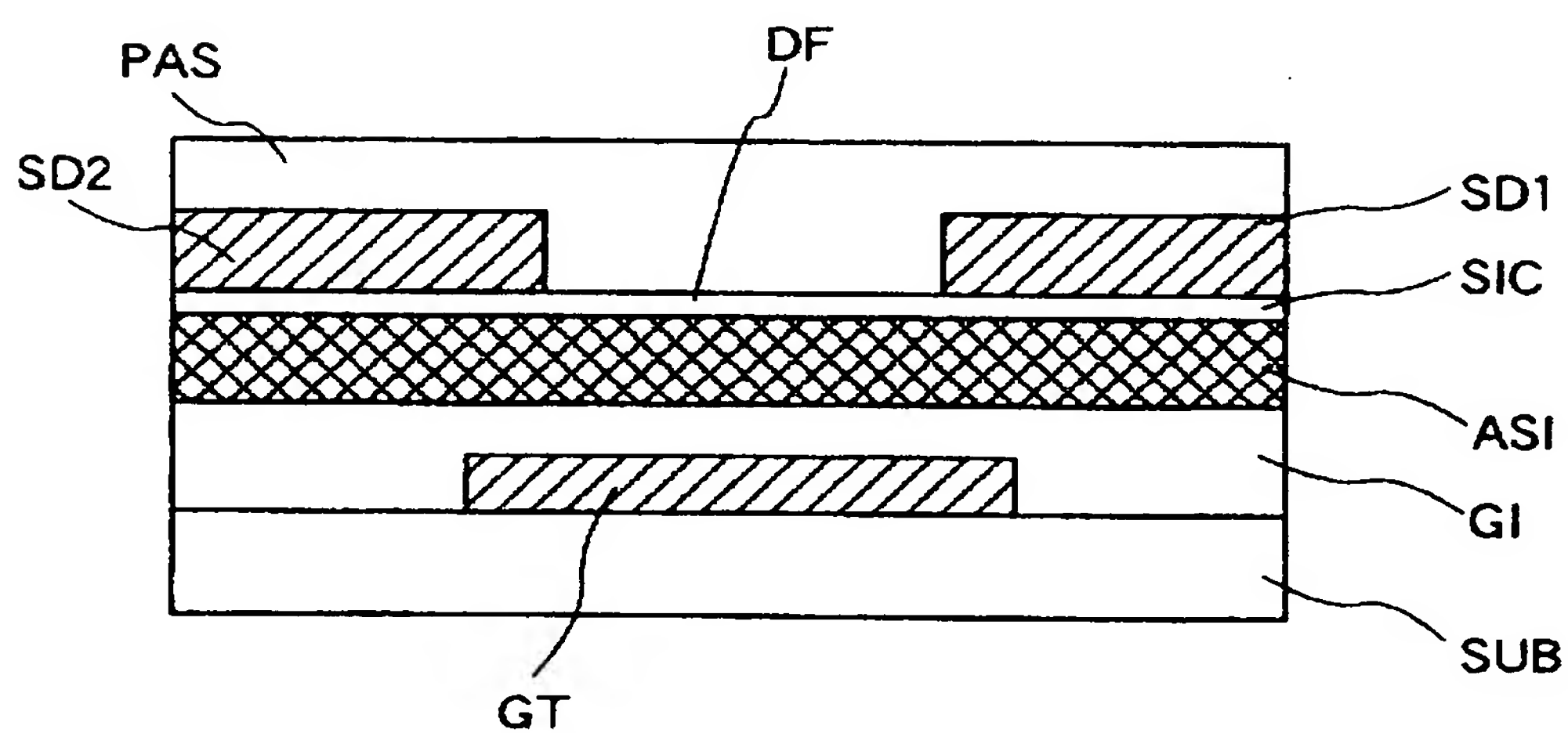
【図 12】

図 12

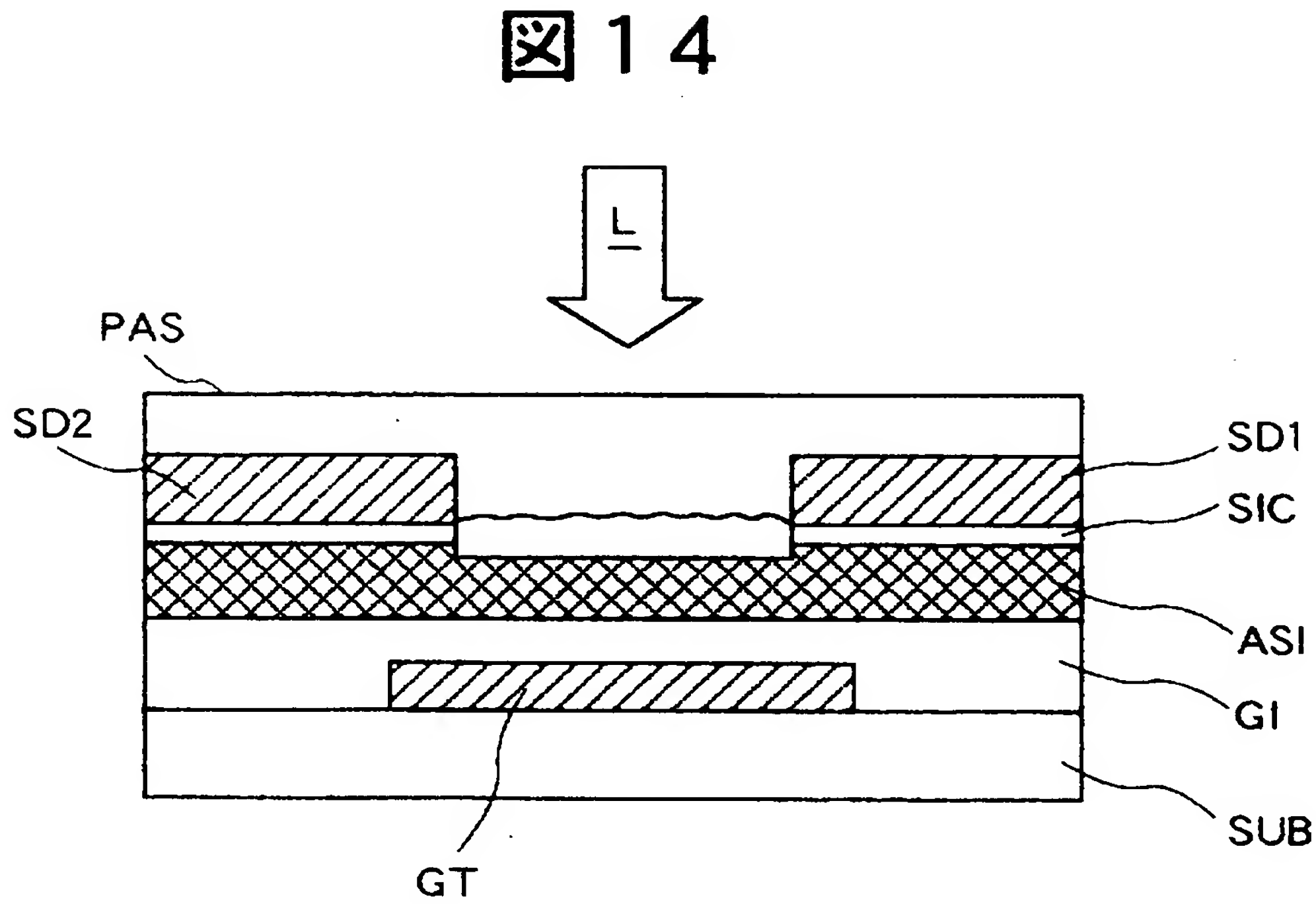


【図 13】

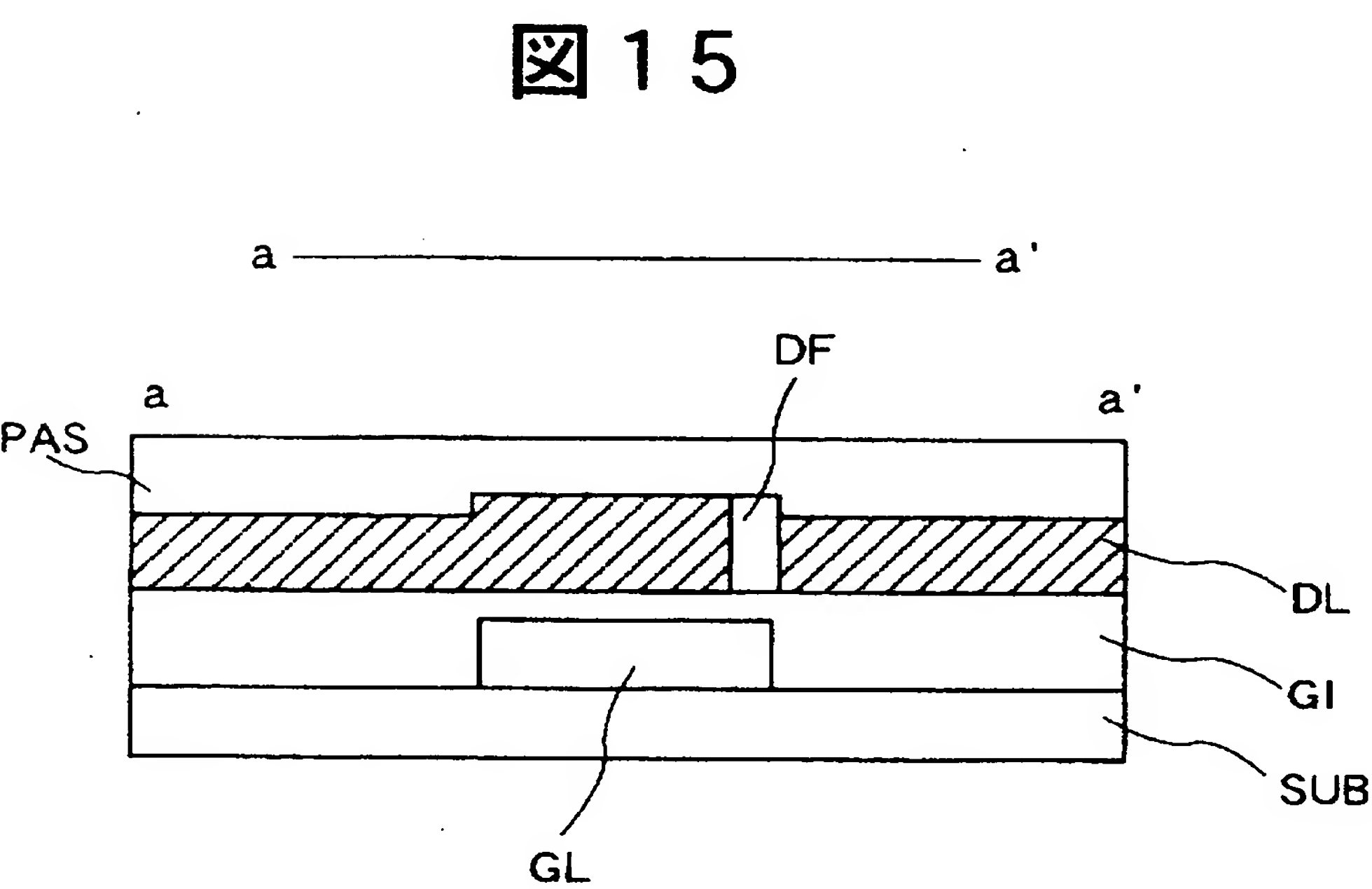
図 13



【図 14】

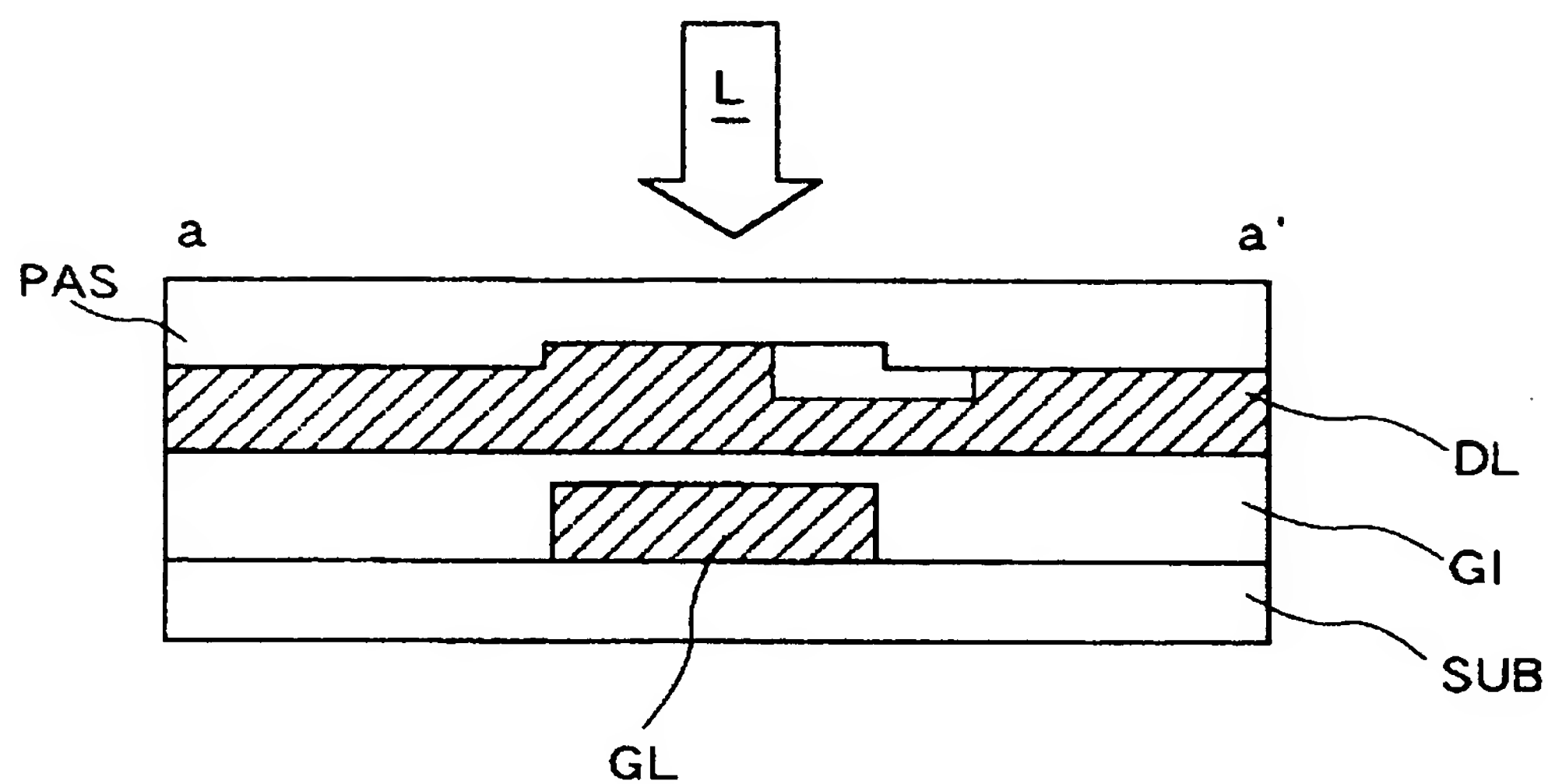


【図 15】



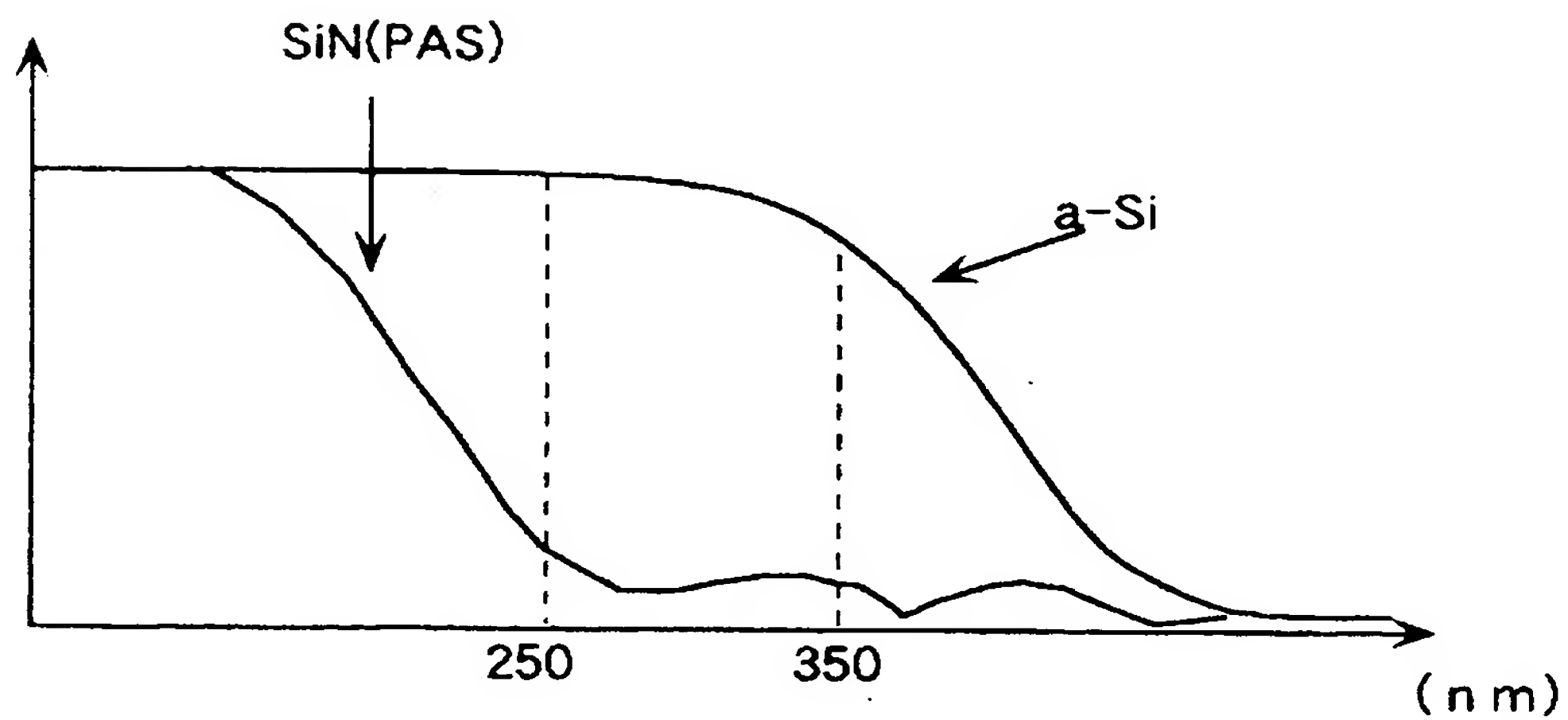
【図 16】

図 16



【図 17】

図 17



【書類名】 要約書

【要約】

【課題】 修正すべき膜の上層に保護膜や絶縁膜などが存在する場合にも、これら上層膜には損傷を与えず、その下層にある当該修正すべき膜の欠陥のみを修正する。

【解決手段】 隣接する画素の薄膜トランジスタを構成する半導体膜 A S I の短絡欠陥を分離するために、基板 S U B と反対側すなわち絶縁膜 P A S の上方からレーザ光 L を照射する。レーザ光の波長は 2 6 6 n m、出力は 0 . 0 2 W / c m<sup>2</sup> である。このレーザ光 L の 1 回のショットが 5 ナノ秒の 1 0 回ショットの間欠照射で、各ショット間隔を 0 . 3 秒とする。上層の膜を残したまま短絡欠陥箇所が除去されて半導体膜 A S I が分離される。

【選択図】 図 5



特願 2 0 0 3 - 0 6 9 6 2 6

出 願 人 履 歴 情 報

識別番号

[ 5 0 2 3 5 6 5 2 8 ]

1 . 変 更 年 月 日

2 0 0 2 年 1 0 月 1 日

[ 変 更 理 由 ]

新 規 登 録

住 所

千 葉 県 茂 原 市 早 野 3 3 0 0 番 地

氏 名

株 式 会 社 日 立 デ ィ ス プ レ イ ズ